

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09037175 A**

(43) Date of publication of application: 07 . 02 . 97

(51) Int. Cl.

H04N 5/44
G09G 5/14
H04N 5/45
H04N 5/937

(21) Application number: **07208369**(71) Applicant: **SONY CORP**(22) Date of filing: **24 . 07 . 95**

(72) Inventor: **NAKAYA HIDEO**
KONDO TETSUJIRO

(54) **PICTURE DISPLAY DEVICE AND PICTURE
 DISPLAY METHOD**

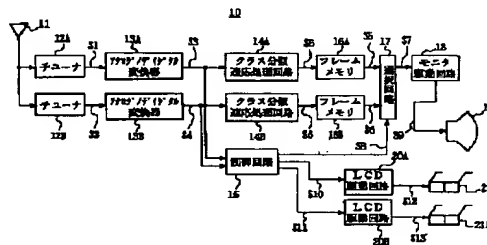
synchronized with the signals S10 and S11.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To simultaneously display the two kinds of pictures on the same screen and to select and view only one of the pictures by converting the two kinds of the picture signals of an interlace form to a non-interlace form and outputting them to a monitor with a shutter.

SOLUTION: Class sorting adaptive processing circuits, 14A and 14B take out only one of the fields of the picture signals S3 and S4 of the interlace form, interpolate picture elements in a vertical direction, convert them to the picture signals S5 and S6 of the non-interlace form and transmit them. Frame memories 16A and 16B for tentatively storing the signals S5 and S6 read the signals S5 and S6 to a selection circuit 17 based on synchronizing signals S8 from a control circuit 15, a required processing is executed in a monitor driving circuit 18 and they are outputted and displayed on a monitor 19. Also, the circuit 15 transmits LCD driving signals S10 and S11 synchronized with the signals S8 respectively to LCD driving circuits 20A and 20B. The circuits 20A and 20B open and close the respective shutters of liquid crystal spectacles 21A and 21B by the LCD driving signals S12 and S13



【特許請求の範囲】

【請求項 1】第 1 及び第 2 のインタレース形式でなる画像信号をそれぞれ取り込み、上記インタレース形式でなる第 1 の画像信号から奇数フィールドを取り出して画像の垂直方向に補間処理することにより、ノンインタレース形式でなる第 3 の画像信号を生成すると共に、上記インタレース形式でなる第 2 の画像信号から偶数フィールドを取り出して画像の垂直方向に補間処理することにより、ノンインタレース形式でなる第 4 の画像信号を生成する画像変換手段と、

上記第 3 及び第 4 の画像信号を表示モニタに所定の周期で交互に切り替えて出力する時分割出力手段と、
上記第 3 の画像信号による画像が表示されるタイミングと同一タイミングで開状態となり、画像光を透過する第 1 のシャッタ及び上記第 4 の画像信号による画像が表示されるタイミングと同一タイミングで開状態となり、画像光を透過する第 2 のシャッタとを具えることを特徴とする画像表示装置。

【請求項 2】上記画像変換手段は、
上記第 1 及び第 2 の画像信号をクラス分類し、それぞれクラス分類結果に応じて上記第 1 及び第 2 の画像信号を補間する補間画素値を生成することにより、入力される上記第 1 及び第 2 の画像信号よりも解像度の高い上記第 3 及び第 4 の画像信号を生成することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】上記時分割出力手段は、
上記第 3 及び第 4 の画像信号を記憶する第 1 及び第 2 のフレームメモリと、
入力される画像信号を選択して切り替えて出力する選択回路とを有し、
上記第 1 及び第 2 のフレームメモリに記憶された第 3 及び第 4 の画像信号を、上記選択回路により所定の周期で切り替えて交互に出力することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】上記第 1 及び第 2 のシャッタは、
液晶眼鏡でなることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 5】入力されるインタレース形式でなる第 1 の画像信号より抽出した奇数又は偶数フィールド、及びインタレース形式でなる第 2 の画像信号より抽出した偶数又は奇数フィールドの各画素毎に属するクラスを決定するクラス決定ステップと、
上記決定されたクラスに応じて、上記奇数又は偶数フィールド、及び偶数又は奇数フィールドに含まれない補間画素値を生成して補間することにより、ノンインタレース形式でなる第 3 及び第 4 の画像信号を生成する変換ステップと、

上記第 3 及び第 4 の画像信号による画像を表示モニタに所定の周期で交互に出力する時分割出力ステップと、
上記第 3 の画像信号に基づく画像が表示されるタイミン

グと同一タイミングで第 1 のシャッタを開状態とし、また上記第 4 の画像信号に基づく画像が表示されるタイミングと同一タイミングで第 2 のシャッタを開状態とするシャッタステップとを具えることを特徴とする画像表示方法。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

10 従来の技術（図 6）

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

（1）全体構成（図 1 及び図 2）

（2）クラス分類適応処理回路（図 3～図 5）

（3）他の実施例

発明の効果

【0002】

【発明の属する技術分野】本発明は画像表示装置及び画像表示方法に関し、例えばテレビジョン受像機に適用して好適なものである。

【0003】

【従来の技術】従来、テレビジョン受像機においては、1 台の受像機で 1 種類の画像を見ることが一般的であった。ところが近年、1 台の受像機で同時に複数種類の画像を見たい、というユーザの要求が出てきており、これを可能にするテレビジョン受像機が考案されている。

【0004】例えば、図 6（A）に示すような親子画面による画面表示を用いたテレビジョン受像機 1 は、親画面 2 内の一部分に小型の子画面 3 を重ねて表示する。テレビジョン受像機 1 は、ユーザが主として見る画像を親画面 2 に表示させると共に、副次的に見る画像を子画面 3 に表示させることにより、両方の画像を同時に表示することができる。子画面 3 に表示された画像に注目するような場面が表示された場合は、親画面 2 の画像と子画面 3 の画像とを入れ換えることにより子画面 3 で見ていた画像を親画面 2 で見る事ができる。

【0005】また図 6（B）に示すように、テレビジョン受像機 1 の表示画面を 2 つに等分割して表示する方法もある。この方法では親画面 2 と子画面 3 とが等しい大きさとなるため、親画面 2 及び子画面 3 共に良好な画質及び画面の大きさで両方の画面を見ることができる。さらに図 6（C）に示すように、画面を等分に 2 分割し、子画面 3 をさらに複数画面に分割し、該分割された各画面内に異なる種類の画像を表示するようにしたものも考案されている。

【0006】

【発明が解決しようとする課題】ところでこのようなテレビジョン受像機 1 においては、例えば小型の画面でなる子画面 3 を親画面 2 に重ねる方法の場合、親画面 2 上

の子画面3が重ねられた部分が隠されてしまい、その部分を見ることができないという問題がある。また画面を2等分割する方法の場合、親画面2及び子画面3が十分な大きさであるために見易さ及び良好な解像度を得られるが、親画面2及び子画面3を並べて異なる種類の画像を表示するために一方の画像が他方の画像を見る上で目障りとなる問題がある。さらに2等分した一方の子画面3をさらに分割する方法の場合では、子画面3の画面が小さくなりすぎるために表示画像が見にくくなるという問題がある。

【0007】本発明は以上の点を考慮してなされたもので、同一画面上に2種類の画像をそれぞれ同時に表示し、一方の画像のみを選択して見ることができる画像表示装置及び画像表示方法を提案しようとするものである。

【0008】

【課題を解決するための手段】かかる課題を解決するため本発明においては、入力されるインタレース形式でなる2種類の画像信号をそれぞれノンインタレース形式でなる画像信号に変換する画像変換手段と、当該ノンインタレース形式でなる2種類の画像信号を同一モニタ上に所定の周期で交互に出力する時分割出力手段と、当該同一モニタ上に交互に表示される2種類の画像の何方か一方が表示されている時に開状態となり、画像光を透過する2種類のシャッタを設けるようにした。

【0009】インタレース形式でなる2種類の画像信号から奇数フィールド又は偶数フィールドをそれぞれ取り出し、予め用意された予測係数により画像内に含まれない画素を生成及び補間するクラス分類適応処理を用いて垂直方向に画素補間することにより、ノンインタレース形式でなる2種類の画像信号を生成して、当該ノンインタレース形式でなる2種類の画像信号を所定の周期で同一画面上に交互に表示させると共に、2種類のシャッタをそれぞれ表示画像の何方か一方の表示周期と同期して開閉させる。

【0010】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0011】(1) 全体構成

図1に示す画像表示装置10は、アンテナ及び2種類のチューナを介してインタレース形式でなる画像信号S1及びS2をそれぞれ受信し、画像信号S1から取り出す奇数フィールド及び画像信号S2から取り出す偶数フィールドに対して、それぞれクラス分類処理を施して垂直方向に画素補間することによりノンインタレース変換して、それぞれ同一画面上に交互に時分割表示した後、当該画面を何方か一方の画像の表示周期と同期して開閉動作する液晶シャッタを用いて見ることで、何方か一方の画像のみを選択して見ることができるようにしたものである。

【0012】画像表示装置10は、インタレース形式のテレビジョン放送信号でなる画像信号S1及びS2を、アンテナ11と2つの異なるチューナ12A及び12Bとを介してそれぞれアナログ/デジタル変換器13A及び13Bに入力して、1画素当たり8ビットで表現されるデジタル信号でなる画像信号S3及びS4に変換する。アナログ/デジタル変換器13A及び13Bは、画像信号S3及びS4をそれぞれクラス分類適応処理回路14A及び14Bに送出すると共に、制御回路15に送出する。

【0013】図2(A)に示すように、クラス分類適応処理回路14Aは画像信号S3の奇数フィールドを取り出す。またクラス分類適応処理回路14Bは画像信号S4の偶数フィールドを取り出す。クラス分類適応処理回路14A及び14Bは、このようにそれぞれ一方のフィールドのみを取り出して垂直方向に画素を補間することにより、インタレース形式でなる画像信号S3及びS4をノンインタレース形式でなる画像信号S5及びS6に変換して送出する。

【0014】すなわち図2(B)に示すように、1フレームが奇数フィールドA₀及び偶数フィールドA₁の2フィールドでなるインタレース形式の画像信号S3から奇数フィールドA₀のみを取り出して垂直方向に1フィールド分の画素を補間することによって偶数フィールドを生成し、1フレームが1フィールドでなるノンインタレース形式の画像信号S5(A₀′)に変換する。一方、1フレームが奇数フィールドB₀及び偶数フィールドB₁の2フィールドでなるインタレース形式の画像信号S4から偶数フィールドB₁のみを取り出して垂直方向に1フィールド分の画素を補間することによって奇数フィールドを生成し、1フレームが1フィールドでなるノンインタレース形式の画像信号S6(B₁′)に変換する。

【0015】クラス分類適応処理回路14A及び14Bから送出された画像信号S5及びS6をそれぞれ一時記憶するフレームメモリ16A及び16Bは、制御回路15から送出される同期信号S8に基づいて読み出しのタイミングを制御されることにより同期をとられる画像信号S5及びS6を選択回路17に読み出す。選択回路17は、同期信号S8による所定のフレーム周期で切り替えて交互に読み出した画像信号S5及びS6を、ノンインタレース形式の1つの画像信号S7としてモニタ駆動回路18に送出する。ここで同期信号S8は、画像信号S5及びS6の同期をとると共に、モニタ駆動回路18に送出される画像信号S7のフレーム周期を設定する信号として出力される。

【0016】モニタ駆動回路18は、画像信号S7にデジタル/アナログ変換、増幅及び検波等の処理を施して得られる画像信号S9をモニタ19に送出する。モニタ19は画像信号S9に基づく画像を画面上に表示す

る。この結果、モニタ 19 上には画像信号 S5 及び S6 による画像がフレーム毎に交互に表示される。すなわち画像表示装置 10 は、受信した 2 種類の画像をそれぞれフィールド単位毎に交互に切替えてモニタ 19 上に表示するようになされている。

【0017】また制御回路 15 は、同期信号 S8 に同期されたフィールド単位で切り替わる LCD 駆動信号 S10 及び S11 をそれぞれ LCD 駆動回路 20A 及び 20B に送出する。LCD 駆動回路 20A 及び 20B は、それぞれ LCD 駆動信号 S10 及び S11 に同期された LCD 駆動信号 S12 及び S13 によつて、液晶メガネ 21A 及び 21B の各々のシャッタを開閉駆動する。

【0018】すなわち液晶メガネ 21A は、LCD 駆動信号 S12 によつて画像信号 S5 によるフィールド周期に同期してシャッタを開くように駆動制御される。また同時に液晶メガネ 21B は、LCD 駆動信号 S13 によつて画像信号 S6 によるフィールド周期に同期してシャッタを開くように駆動制御される。これにより液晶メガネ 21A 又は 21B をかける各ユーザは、それぞれ液晶メガネ 21A 又は 21B のシャッタが開いている間に表示される、フィールド周期で切り替わる画像をそれぞれ選択的に見ることができる。例えば表示される画像のフィールド周波数が 60[Hz] の場合、モニタ 19 に表示される画像の切替え動作及び液晶メガネ 21A 及び 21B の液晶のシャッタ動作は、1 秒間に 60 回というフレーム周期で切り替えられる。これにより、人間の視覚特性から画像及び液晶が切替え動作していることを意識することなく画像を見ることができる。

【0019】(2) クラス分類適応処理回路

次にクラス分類適応処理回路 14A 及び 14B の内部構成を説明する。クラス分類適応処理回路 14A 及び 14B は、同一の内部構成であるのでここではクラス分類適応処理回路 14A の構成を示すにとどめる。

【0020】図 3 において示すクラス分類適応処理回路 14A は、アナログ/デジタル変換器 13A から供給される画像信号 S3 をブロック化回路 30 及び遅延回路 31 に入力する。ブロック化回路 30 は画像信号 S3 から奇数フィールドを取り出した後、これを 8 画素×8 ラインを 1 単位としたブロック化信号 S20 として ADRC (Adaptive Dynamic Range Coding) 回路 32 に送出する。

【0021】ADRC 回路 32 は、ブロック化信号 S20 にパターン分類によるクラス分類処理を行い、分類結果でなるインデックス信号 S21 を画像信号 S3 が分類されるクラスを表す信号として、補間処理部 33 内の各係数メモリ M1~Mn に供給する。なお本来、補間処理部 33 は複数、設けられているが、ここでは便宜上、補間処理部 33 を 1 つとして説明する。各係数メモリ M1~Mn は予め各クラス毎の係数が記憶された ROM (Read Only Memory) でなり、供給されるインデックス信号

S21 をアドレス信号としてクラス毎の係数でなるデータ信号 K1~Kn を各掛算器 MX1~MXn に送出する。

【0022】ここで ADRC 回路 32 は図 4 に示すような構成でなり、ブロック化回路 30 (図 3) から送出されたブロック化信号 S20 を最大値算出回路 39、最小値算出回路 40 及び遅延回路 41 にそれぞれ入力する。最大値算出回路 39 はブロック化信号 S20 で示されるブロック内の最大画素値 MAX を求め、また最小値算出回路 40 は当該ブロック内の最小画素値 MIN を求める。こうして得られた最大画素値 MAX は差分回路 42 に送出され、また最小画素値 MIN は差分回路 43 及びクラス選択回路 44 に送出される。

【0023】差分回路 42 は、最大画素値 MAX と最小画素値 MIN との差分値でなるブロック内のダイナミックレンジ DR をクラス選択回路 44 に送出する。また差分回路 43 は、遅延回路 41 を介して与えられる各画素値と最小画素値 MIN との差分演算から求められる差分値を、適応量子化回路 45 に送出する。適応量子化回路 45 は、入力される差分値を基に各画素値に対する再量子化を行うことにより 8 ビットで表現されていた各画素を、より小さい n ビットの量子化コード X_i に変換処理してクラス選択回路 44 に送出する。クラス選択回路 44 は供給されるダイナミックレンジ DR、最小画素値 MIN 及び量子化コード X_i に基づき、各画素値の状態に応じてブロック化信号 S20 が分類されるクラスを示すインデックス信号 S21 を送出する。

【0024】また図 3 に示すクラス分類適応処理回路 14A において、遅延回路 31 は入力されるデジタル信号 S3 を所定の時間だけ遅延させた後、補間処理部 33 の予測タツプ選択回路 35 及び遅延回路 36 に送出する。予測タツプ選択回路 35 は、デジタル信号 S3 で示される画像の注目点の画素及びその周辺画素からクラスタツプデータ信号 S23 を形成して各掛算器 MX1~MXn に送出する。各掛算器 MX1~MXn は与えられるデータ信号 K1~Kn 及びクラスタツプデータ信号 S23 をそれぞれ演算処理して補間すべき画素を生成し、加算器 ADD1~ADDn に送出する。

【0025】各演算部の加算器 ADD1~ADDn は、得られた各画素をそれぞれまとめあわせ、補間画素信号 S241~S24n として合成回路 38 に送出する。合成回路 38 は、遅延回路 36 により所定時間だけ遅延された画像信号 S3 と、当該画像信号 S3 を補間する補間画素信号 S241~S24n とを合成し、画像信号 S3 に比して垂直方向に 2 倍のレートの画素でなる画像信号 S5 を生成して出力する。

【0026】さらに各係数メモリ M1~Mn は、予め各クラス毎の係数が記憶された ROM でなることを述べたが、当該 ROM は以下に示すような方法を用いて作成できる。すなわち図 5 に示す予測係数作成回路 50 は、入

10

20

30

40

50

力されるノンインタレース形式でなる画像信号S40をライン間引き回路51及び係数選定回路53に入力する。

【0027】ライン間引き回路51は、画像信号S40の奇数フィールド又は偶数フィールドの間引くことによりインタレース形式に変換した画像信号S41を、ADRC回路52及びライン補間回路54に送出する。ADRC回路52は、画像信号S41の分類されるクラスを示すクラスコード信号S42を生成して係数選定回路53に送出する。同時にライン補間回路54はライン間引き回路51により間引かれたフィールドを補間し、補間済画像信号S43として係数選定回路53に送出する。

【0028】係数選定回路53は、ノンインタレース形式でなる画像信号S40、クラスコード信号S42及び間引いたラインを単に補間したことにより生成された補間済画像信号S43を基にして、クラス毎に最適な画素値を算出するための予測係数を最小二乗法等の方法により求めて、これを予測係数S44として出力する。

【0029】このように予測係数作成回路40は、ノンインタレース形式で入力される画像信号S40と、当該画像信号S40をインタレース形式に変換した後にクラス分類処理して得られるクラスコード信号S42と、当該画像信号S40をインタレース形式に変換した後に補間処理することにより得られる補間済画像信号S43とを比較することで、インタレース形式でなる画像信号をノンインタレース形式でなる画像信号に変換するための予測係数S44を得ることができる。

【0030】以上の構成において、画像信号S5及びS6はフィールド単位毎に切り替えて交互に出力され、これにより得られる画像信号S7がモニタ19に出力されて当該画像信号S7に基づく画像を時分割表示する。また画像信号S5及びS6の送出を切り替えるタイミングと同一周期でLCD駆動信号S10及びS11を出力することにより、液晶メガネ21A及び21Bがそれぞれ交互に開状態になるシャツタ動作をする。

【0031】これにより液晶メガネ21Aをかけたユーザは、画像信号S5による画像がモニタ19に表示されている場合、液晶によるシャツタが開状態となり画像を見ることができるが、画像信号S6による画像がモニタ19に表示されている場合、液晶によるシャツタが閉状態となり画像を見ることができない。また液晶メガネ21Bをかけたユーザは、画像信号S6による画像がモニタ19に表示されている場合、液晶によるシャツタが開状態となり画像を見ることができるが、画像信号S5による画像がモニタ19に表示されている場合、液晶によるシャツタが閉状態となり画像を見ることができない。かくして液晶メガネ21A及び21Bをかけたユーザは、一方の画像のみを選択的に見ることができる。

【0032】また2フィールドで1フレームを形成するインタレース形式でなる画像信号S1及びS2は、クラ

ス分類適応処理回路14A及び14Bによつてそれぞれ奇数フィールド又は偶数フィールドのみを取り出して、クラス分類適応処理を用いて補間画素を生成することにより1フィールドで1フレームを形成するノンインタレース形式でなる画像信号S5及びS6に変換される。これにより、インタレース形式でなる画像信号S1及びS2をノンインタレース形式でなる画像信号に変換する際に、画質を低下させることなく、良好な画像でなる画像信号S5及びS6に変換し得ると共に、周波数を変更することなくモニタ19に画像を表示することができる。

【0033】以上の構成によれば、インタレース形式でなる画像信号S1及びS2をクラス分類適応処理によりノンインタレース形式でなる画像信号S5及びS6に変換して、当該画像信号S5及びS6による画像を交互にモニタ19上に表示すると共に、当該画像の表示周期の何方か一方と同一周期で交互にシャツタ動作する液晶メガネ21A及び21Bを用いて当該画像を見るようにする。これにより、1台のモニタ上に2種類の画像をそれぞれ同時に表示し得ると共に、表示されるそれぞれの画像の何方か一方を選択的に見ることができる画像表示装置10及び画像表示方法が実現できる。

【0034】(3)他の実施例

なお上述の実施例においては、入力される画像信号S1及びS2としてテレビジョン放送信号を用いた場合について述べたが、本発明はこれに限らず、記録媒体を再生して得られる画像信号等を図示しない外部端子から入力して用いてもよい。これにより、どのような画像信号の場合についても本発明を適用し得る。

【0035】また上述の実施例においては、画像信号S3の奇数フィールドと画像信号S4の偶数フィールドとをそれぞれ取り出し、これをそれぞれ補間処理することでノンインタレース化した画像信号S5及びS6を生成する場合について述べたが、本発明はこれに限らず、画像信号S3の偶数フィールドと画像信号S4の奇数フィールドとをそれぞれ取り出し、これをそれぞれ補間処理するようにしてもよい。この場合も実施例と同様の効果が得られる。

【0036】さらに上述の実施例においては、クラス分類適応処理回路14A及び14Bでなる画像変換手段でパターン分類によるクラス分類処理を行う際に、ADRC回路32によるADRC符号化を用いてインデツクス信号S21でなる分類結果を求めた場合について述べたが、本発明はこれに限らず、例えばDCT (Discrete Cosine Transform) 符号化、DPCM (差分符号化)、ベクトル量子化、サブバンド符号化やウェーブレット変換等の圧縮手法を用いて、パターン分類によるクラス分類処理を行うようにしてもよい。

【0037】また上述の実施例においては、予測係数を記憶した係数メモリM1～MnとしてROMを用いた場合について述べたが、本発明はこれに限らず、ROMに

10

20

30

40

50

代えてRAM (Random Access Memory) やSRAM (Static RAM) 等を用いるようにしてもよい。

【0038】

【発明の効果】 上述のように本発明によれば、2フィールドで1フレームを形成するインタレース形式でなる2種類の画像信号から偶数フィールド又は奇数フィールドをそれぞれ取り出し、クラス分類適応処理を用いて画素補間することにより、1フィールドで1フレームを形成するノンインタレース形式でなる2種類の画像信号を生成して、当該画像信号を所定の周期で同一画面上に交互に表示させると共に、2種類のシャツタをそれぞれ表示画像の何方か一方の表示周期と同期して開閉させるようにしたことにより、同一画面上に2種類の画像をそれぞれ同時に表示し得ると共に、何方か一方の画像を選択して見ることができる画像表示装置及び画像表示方法が実現できる。

【図面の簡単な説明】

【図1】 本発明の一実施例による画像表示装置を示すブロック図である。

【図2】 入力される画像信号をノンインタレース化する方法及び交互に出力するタイミングについて説明するために供する略線図及びタイミングチャートである。

【図3】 クラス分類適応処理回路の内部構成を示すブロック図である。

* 【図4】 ADRC回路の内部構成を示すブロック図である。

【図5】 予測係数作成回路を示すブロック図である。

【図6】 従来の複数画像を表示する方法を示す略線図である。

【符号の説明】

1……テレビジョン受像機、2……親画面、3……子画面、10……画像表示装置、11……アンテナ、12A、12B……チューナ、13A、13B……アナログ／デジタル変換器、14A、14B……クラス分類適応処理回路、15……制御回路、16A、16B……フレームメモリ、17……選択回路、18……モニタ駆動回路、19……モニタ、20A、20B……LCD駆動回路、21A、21B……液晶メガネ、30……ブロック化回路、31、36、41……遅延回路、32、52……ADRC回路、33……補間処理部、35……予測タップ選択回路、38……合成回路、39……最大値算出回路、40……最小値算出回路、42、43……差分回路、44……クラス選択回路、45……適応量子化回路、50……予測係数作成回路、51……ライン間引き回路、53……係数選定回路、54……ライン補間回路、M1～Mn……係数メモリ、MX1～MXn……掛算器、ADD1～ADDn……加算器。

【図1】

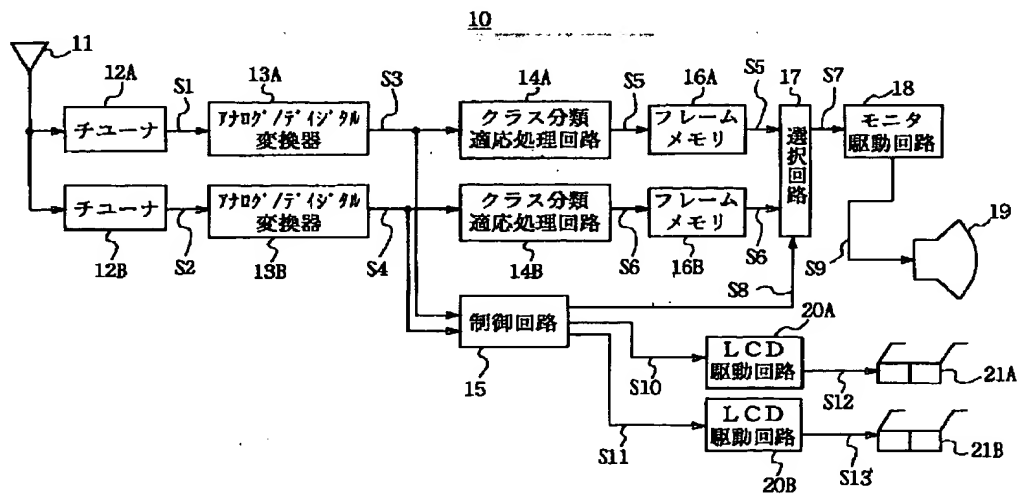
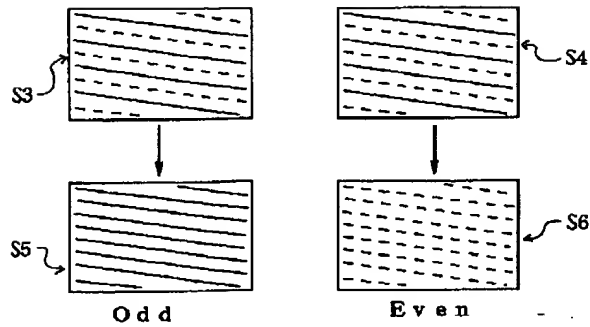
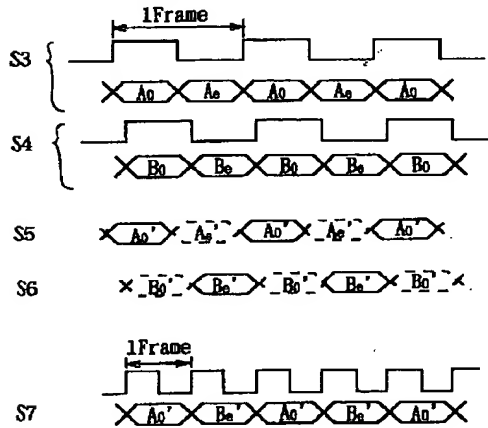


図1 実施例による画像表示装置

【図2】



(A) ノンインタレース化



(B) 画像の表示タイミング

図2 2種類の画像の表示方法

【図3】

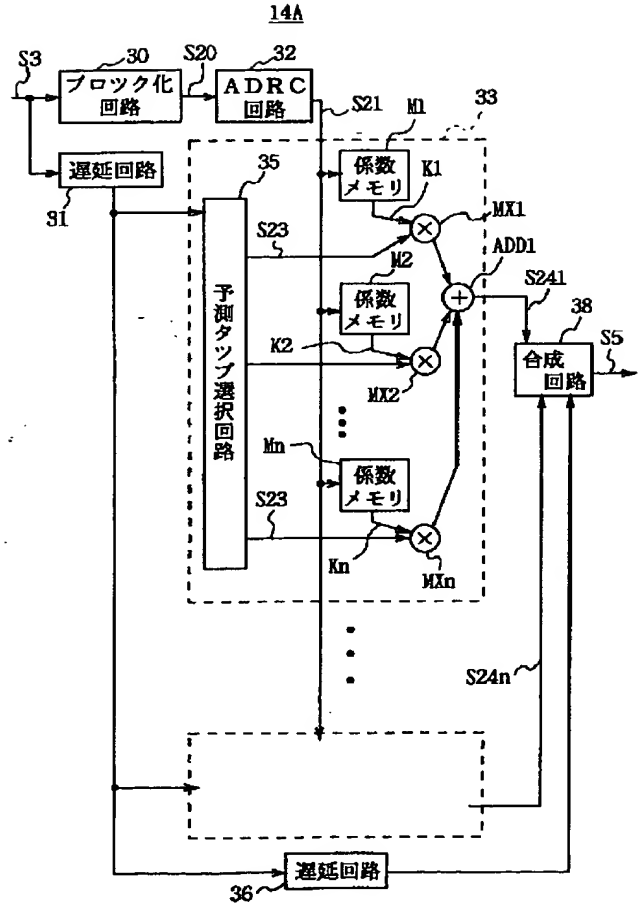


図3 クラス分類適応処理回路

【図4】

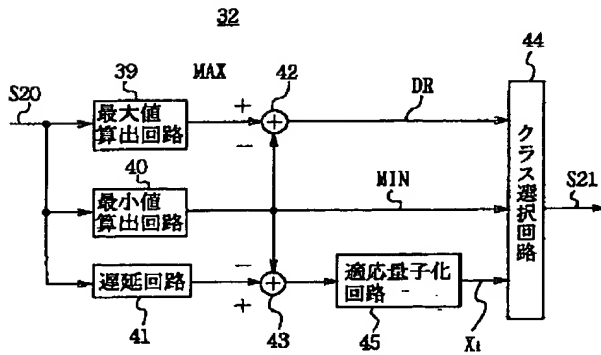


図4 ADRC回路の構成

【図5】

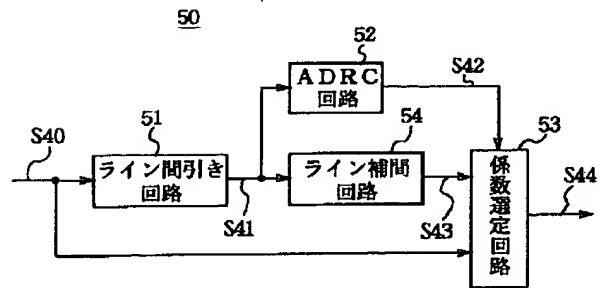
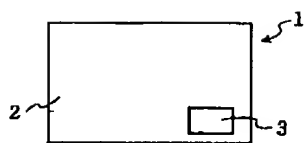


図5 予測係数作成回路の構成

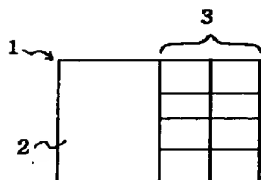
【図 6】



(A) 従来の表示方法 (1)



(B) 従来の表示方法 (2)



(C) 従来の表示方法 (3)

図 6 複数番組の表示方法